

縦型 Si トランジスタ高性能化に向けたプラズマエ ピタキシャル成長とドーピング制御に関する研究

著者	手塚 浩久
雑誌名	東北大学電通談話会記録
巻	87
号	1
ページ	228-229
発行年	2018-08
URL	http://hdl.handle.net/10097/00123516

修士学位論文要約（平成30年 3月）

縦型 Si トランジスタ高性能化に向けたプラズマエピタキシャル成長と
ドーピング制御に関する研究

手塚 浩久

指導教員：佐藤 茂雄， 研究指導教員：櫻庭 政夫

Study on Plasma-Enhanced Epitaxial Growth and Doping Control for
High-Performance Vertical Si Transistor

Hirohisa Tetsuka

Supervisor: Shigeo SATO, Research Advisor: Masao SAKURABA

To establish fabrication process of high-performance vertical-type Si tunneling transistor, first, as a phosphorus diffusion source, thin film formation of phospho-silicate glass (PSG) on Si(100) substrate by spin-coating method was investigated. Second, thermal phosphorus diffusion into p-type Si(100) substrate from PSG was investigated to obtain a buried low-resistive layer for the tunneling transistor. Third, sequential deposition of unintentionally-doped Si and boron-doped Si films was investigated especially on the high-concentration phosphorus-doped Si(100) by using plasma-enhanced chemical vapor deposition. From these experimental results, it has been clarified that the thermal phosphorus diffusion from PSG effectively enables formation of a low-resistive n-type phosphorus-doped Si layer with high carrier concentration exceeding 10^{20} cm^{-3} and shallow depth of around 200 nm. Additionally, it has been also found that epitaxial growth of Si on the high-concentration phosphorus-doped Si(100) tends to be degraded in the present process sequence and improved process conditions are necessary.

1. はじめに

次世代の高度情報化社会に向けて、集積回路に用いられるトランジスタの高性能化が益々重要となっている。しかし、近年、微細加工の限界に加えて、従来型トランジスタにおけるサブスレッショルドスイングの原理的下限やしきい値電圧ばらつきに起因する低消費電力化の限界も見え始めており、これらを打破する新しいデバイス・プロセスの研究開発が開始されている[1-4]。このような背景から、本研究では、それらの限界を打破できると期待されている新しい動作原理を持つトンネルトランジスタを実現するためのプロセス開発について検討を行った。

トンネルトランジスタの実現においては、局所的ドーピング制御やヘテロ接合形成における接合界面急峻性が鍵となることが想定されることから、まずは初期段階として、平坦な Si 基板表面へのエピタキシャル成長により縦型 pin トンネル接合を形成することを想定することとした。特に、すでに著者らのグループで実現している B ドープ Si エピタキシャル薄膜[5]を上部 p 型電極として用いることとし、Si 基板にはあらかじめ P ドープ Si 層を形成しておき、それを埋め込み n 型電極として用いることを想定した。また、簡便で低コスト化が図れるとともに、Si 基板に与える結晶ダメージが少ないと期待される液体原料塗布による P ドープ SiO₂ 薄膜形成と P 熱拡散によって

P ドープ Si 層を形成する方法を検討することとした。以上のようなことから、本研究では、縦型トンネルトランジスタ製作プロセスの構築を目的として、まず、Si 基板表面への埋め込み n 型電極形成のために P ドープ SiO₂ 薄膜形成と P 熱拡散による高濃度 P ドーピングプロセスについて検討を行った。続いて、その高濃度 P ドープ Si 上にアンドープ Si と B ドープ Si を高品質にエピタキシャル成長させる方法[5]についても検討を行った。

2. 液体原料塗布法による P ドープ SiO₂ 薄膜形成

P ドープ SiO₂ 薄膜形成に用いた液体原料（OCD T-1 P59210，東京応化製）の SiO₂ 濃度及び P₂O₅ 濃度はそれぞれ 5.9 wt%，1.0 wt%である。この液体原料を数滴滴下した p 型 Si(100)基板（約 30 mm 角）を毎秒 500 回転で 5 秒間低速回転させた後に、さらに毎秒 3000 回転で 20 秒間高速回転させた。続いて、ホットプレートを用いて 80℃、150℃、200℃での熱処理をそれぞれ 1 分間行い、P ドープ SiO₂ 薄膜を形成した。部分的にエッチングした境界付近の段差測定から P ドープ SiO₂ 薄膜の膜厚は 200 nm 程度であり、同時に、表面には特徴的なパターン（一般にストライエーションと呼ばれるもの）が生じることがわかった。中心部ではセル状、外周部では放射状のワーム型の凹凸となることから、溶媒蒸発による表面層の固化・破断によっ

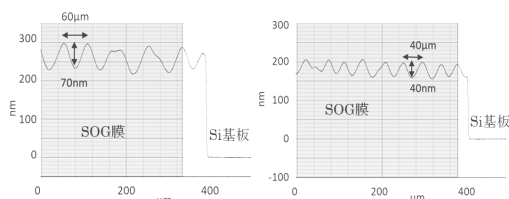


図 1. 高速回転時の回転数が毎秒 2000 回転（左）と毎秒 4000 回転（右）の時の P ドープ SiO_2 薄膜の断面プロファイル。右端の一部はウェットエッチングにより除去され、Si 基板が露出している。

て生じた凹凸が基板回転時に外周方向へ流動してパターンが形成されることが考えられる。

凹凸構造による膜厚ばらつきが P ドーピングプロファイルに影響を与える可能性を考慮し、続いて P ドープ SiO_2 薄膜の平坦性向上を検討した。基板回転を行わずに光学顕微鏡観察を行った所、塗布後 15～20 秒経過した後に凹凸が形成され始めることがわかった。そこで低速回転を省いて塗布後数秒以内に高速回転を開始した所、凹凸形成が大幅に抑制されるとともに、高速回転時の回転数が大きいほど凹凸の間隔と高低差が小さくなることもわかった（図 1）。

3. 高濃度 P ドープ Si 層の形成と評価

前述の方法により形成した P ドープ SiO_2 薄膜を拡散源として、p 型 Si 基板への P 原子の熱拡散を試みた結果について述べる。P ドープ SiO_2 薄膜からの P 拡散は、低温 (400°C 、30 分間) 及び高温 (1000°C 、1 時間) での窒素雰囲気中熱処理によって行った。そして、希フッ酸水溶液への浸漬により P ドープ SiO_2 薄膜を除去した後、Si 基板のシート抵抗面内分布（図 2）を測定した。また、Hall 効果測定により、Si 基板表面の導電型が n 型であることも確認した。さらに、アルカリ溶液によるウェットエッチングと四探針シート抵抗測定の繰り返しによって深さ方向キャリア濃度分布（図 3）も測定した。これらの結果から、Si 基板表面には、キャリア濃度 10^{20}cm^{-3} を超える低抵抗で面内ばらつきの小さい高濃度 P ドープ Si 層が形成され、拡散深さは 200 nm 程度であることが確かめられた。

4. 高濃度 P ドープ Si 上の Si エピタキシャル成長

プラズマ CVD 法を用いて高濃度 P ドープ Si 層の上へのアンダーブ Si と B ドープ p+ 型 Si のエピタキシャル成長を試みた結果について述べる。アンダーブ Si 薄膜からの反射高速電子回折像にはスポット状の回折模様が見られ、エピタキシャル成長が確認されたが、結晶が高品質であることを示す菊池ラインは確認できなかった。さらに、このアンダーブ Si 薄膜上に B ドープ Si 薄膜を堆積させ、同様に反射高速電子回折像を観察した所、回折模

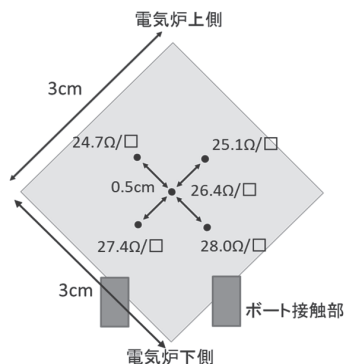


図 2. Si 基板のシート抵抗面内分布。

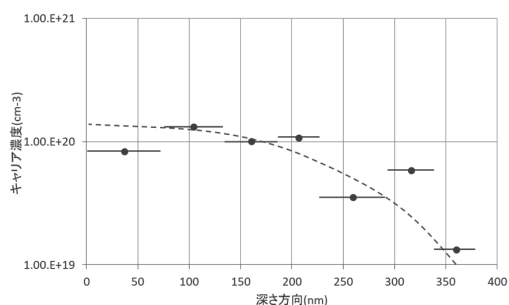


図 3. Si 基板の深さ方向キャリア濃度分布。

様は現れず、B ドープ Si 薄膜がアモルファスとなることがわかった。高性能トンネルトランジスタを実現するための課題として、高濃度 P ドープ Si 基板表面へのアンダーブ Si 薄膜及び B ドープ Si 薄膜のエピタキシャル成長の結晶性向上に向けたさらなる検討が必要である。

5. まとめ

高性能縦型 Si トンネルトランジスタの実現に向けて、液体原料塗布法によって形成した P ドープ SiO_2 薄膜からの P 熱拡散によって高濃度 P ドープ Si 層形成が可能であることを示した。また、その表面へのアンダーブ Si 薄膜及び B ドープ Si 薄膜のエピタキシャル成長の実現にはさらなるプロセスの見直しが必要であることがわかった。

文献

1. Y. Yang et al., IEEE Trans. Electron Dev. 60 (2013) 4048.
2. A.M. Ionescu and H. Riel, Nature 479 (2011) 329.
3. Y. Morita et al., IEEE Electron Dev. Lett. 35 (2014) 792.
4. Y. Morita et al., Jpn. J. Appl. Phys. 55 (2016) 04EB06.
5. K. Motegi et al., Mat. Sci. Semicond. Process. 70 (2017) 50.